

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-166220

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H02M 3/07  
G02F 1/133  
G09G 3/20  
G09G 3/36

(21)Application number : 11-254972

(71)Applicant : SHARP CORP

(22)Date of filing : 08.09.1999

(72)Inventor : KAJIMOTO KOICHI

(30)Priority

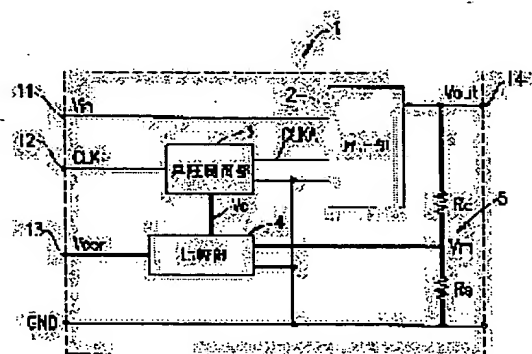
Priority number : 10268743 Priority date : 22.09.1998 Priority country : JP

(54) POWER UNIT, AND DISPLAY AND ELECTRONIC APPARATUS USING THE UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump system of power circuit which can raise the voltage conversion efficiency and reduce the power consumption and in which the user can set the output voltage optionally.

SOLUTION: A power circuit 1 has a booster 2 which receives the input of input voltage  $V_{in}$  and also receives the input of a clock signal CLKA for boosting and boosts the input voltage  $V_{in}$  to specified output voltage  $V_{out}$ , a voltage dividing circuit 5 which divides the output voltage  $V_{out}$  of this booster 2 by resistors, a comparator 4 which compares the divided voltage  $V_m$  generated by this voltage dividing circuit 5 with the control voltage  $V_{con}$  and outputs the result as an output signal  $V_c$ , and a boosting controller 3 which receives the input of the output signal  $V_c$  and a clock signal VLK1 for operation from the comparator 4 and supplies the clock signal CLKA for boosting to the booster 2.



## LEGAL STATUS

[Date of request for examination] 25.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3487581

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-166220

(P2000-166220A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 2 M 3/07		H 0 2 M 3/07	
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A
3/36		3/36	

審査請求 未請求 請求項の数7 OL (全9頁)

(21) 出願番号 特願平11-254972

(22) 出願日 平成11年9月8日 (1999.9.8)

(31) 優先権主張番号 特願平10-268743

(32) 優先日 平成10年9月22日 (1998.9.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 梶本 耕市

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

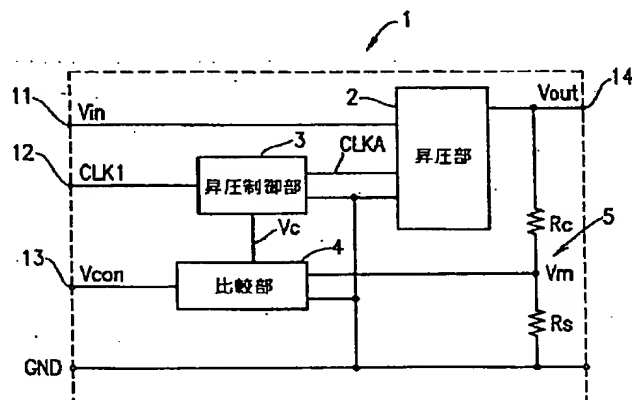
弁理士 山本 秀策

(54) 【発明の名称】 電源回路それを用いた表示装置及び電子機器

(57) 【要約】

【課題】 電圧変換効率の向上及び消費電力の低減を図ることができると共に、出力電圧を任意に設定することができるチャージポンプ方式の電源回路、並びにそれを用いた表示装置及び電子機器を提供する。

【解決手段】 電源回路1を、入力電圧 $V_{in}$ が入力されると共に昇圧用クロック信号 $CLKA$ が入力され、入力電圧 $V_{in}$ を所定の出力電圧 $V_{out}$ に昇圧する昇圧部2と、この昇圧部2の出力電圧 $V_{out}$ を抵抗分割する電圧分割回路5と、この電圧分割回路5により生成された分割電圧 $V_m$ と制御電圧 $V_{con}$ とを比較して、その結果を出力信号 $V_c$ として出力する比較部4と、この比較部4からの出力信号 $V_c$ 及び動作クロック信号 $CLK1$ が入力され、昇圧用クロック信号 $CLKA$ を昇圧部2に供給する昇圧制御部3とを有する構成とする。



## 【特許請求の範囲】

【請求項 1】 電源からの入力電圧及び昇圧用クロック信号が入力され、該入力電圧を所定の出力電圧に昇圧する昇圧部と、

該昇圧部の出力電圧と外部から入力される制御電圧とを比較して、その結果を信号出力する比較部と、

該比較部からの出力信号及び動作クロック信号が入力され、昇圧用クロック信号を該昇圧部に供給する昇圧制御部とを備えた電源回路。

【請求項 2】 前記昇圧部の出力電圧を抵抗分割する電圧分割回路を備え、該電圧分割回路により生成された分割電圧と前記制御電圧とを前記比較部により比較する構成とした請求項 1 に記載の電源回路。

【請求項 3】 前記比較部の比較結果として「 $V_{con} > V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを開始し、

前記比較部の比較結果として「 $V_{con} < V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを停止する、請求項 1 または 2 に記載の電源回路。

【請求項 4】 前記比較部の比較結果として「 $V_{con} < V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを開始し、

前記比較部の比較結果として「 $V_{con} > V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを停止する、請求項 1 または 2 に記載の電源回路。

【請求項 5】 請求項 1～4 のうちの 1 つに記載の電源回路を用いた表示装置。

【請求項 6】 前記動作クロック信号として、線順次駆動の走査ラインのシフトクロック信号、又はそれを分周して作成したクロック信号を用いる請求項 1～4 のうちの 1 つに記載の電源回路を用いた表示装置。

【請求項 7】 請求項 1～4 のうちの 1 つに記載の電源回路を用いた電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電圧変換効率の向上及び消費電力の低減を図ると共に、出力電圧を任意に設定することを可能とするチャージポンプ方式の電源回路、並びにそれを用いた表示装置及び電子機器に関する。

## 【0002】

【従来の技術】近年、ワープロやパソコンといった OA 機器、画像を扱う AV 機器の表示用ディスプレイデバイス、並びに携帯情報端末の情報表示用ディスプレイデバイスとして液晶表示装置が多く用いられている。液晶表示装置を他のディスプレイデバイスと比較して、薄型軽

量で低消費電力といった特徴を備えているためである。

【0003】特に、携帯情報端末や携帯電話などの電池によって電力を供給する電子機器に搭載されるディスプレイデバイスには更なる低消費電力化が求められている。それは、これらの電子機器では、CPU が停止し情報表示のみが行われている待機状態時における消費電力のほとんどがディスプレイデバイスによるものである。つまり、これによって電子機器の使用時間が決定されてしまう。

【0004】これらの電子機器の多くは、電池を電力供給源としており、ディスプレイデバイス用の電源として例えば +3V 程度の電圧が与えられている。ここで、液晶表示装置を例にとると、液晶表示装置を駆動するのに +20V 程度の電圧が必要となるため、液晶表示装置の内部電源回路で電圧を +3V から +20V に昇圧する必要がある。この電源回路として従来からトランスを用いた昇圧回路やコンデンサを用いたチャージポンプ式昇圧回路が用いられる。

【0005】しかしながら、トランスを用いた昇圧回路による場合には、最大で 60% 程度の変換効率しか得られず、特に携帯情報端末用の液晶表示装置等は低電流負荷での変換効率の低いところで使用することになるため、適用範囲に限られるといった問題があった。

【0006】このため、負荷電流が少ない状態で電圧変換効率の良いチャージポンプ方式の昇圧回路が最近注目されている。例えば、WO96/21880 号公報には、チャージポンプ方式を採用した液晶表示装置の電源回路が開示されている（従来例 1）。

【0007】一般に、チャージポンプ方式の昇圧回路では、コンデンサに充電した電荷を積み上げる方式で昇圧を行うため、出力電圧が入力電圧の整数倍に固定される。このため、例えば液晶表示装置の表示コントラストを調整するために昇圧後の電圧を可変とする場合、レギュレータ等を用いて可変抵抗で電圧を調整するといった方法がとられている。

【0008】ここで、チャージポンプ方式を採用した従来の電源回路について、図 8 を用いて具体的に説明する。

【0009】この電源回路 81 では、図 8 に示すように、チャージポンプ方式の昇圧部 82 は、昇圧用クロック信号入力端子 85 から昇圧用クロック信号 CLK8 が入力されると共に外部電源端子 84 から入力電圧  $V_{in}$  が入力され、昇圧電圧  $V_{sh}$  を出力する。この昇圧部 82 からの昇圧電圧  $V_{sh}$  が入力されると共に制御電圧用端子 86 から制御電圧  $V_{con}$  が入力され、電圧制御部 83 が降圧した所望の出力電圧  $V_{out}$  が出力される。

【0010】より詳しくは、電圧制御部 83 は例えば図 9 に示す回路構成とすることができ、制御電圧  $V_{con}$  が入力される制御電圧用端子 86 と、昇圧部 82 からの昇圧電圧  $V_{sh}$  が入力される昇圧電圧用端子 88 の間

を、抵抗 $R91$ 、 $R92$ で抵抗分割して得られた分割電圧 $V_a$ を、オペアンプ $OP$ による電圧フォロワを使って出力電圧 $V_{out}$ として出力している（従来例2）。

#### 【0011】

【発明が解決しようとする課題】しかしながら、上述した従来例2の方法による場合には、いったんチャージポンプ方式の昇圧回路で昇圧した電位を降圧して用いるため、必要な電圧以上に昇圧することになり電力の損失が生じてしまう。具体的には、図9に示す回路構成による場合には、昇圧電圧用端子88から制御電圧用端子86へ向かって流れる $i_{sh}$ による電力 $\{(V_{sh}-V_{con}) \times i_{sh}\}$ と、 $V_{sh}$ を出力電圧 $V_{out}$ に降圧するための電力 $\{(V_{sh}-V_{out}) \times i_{out}\}$ と、更にオペアンプの自己消費電力 $(V_{sh} \times i_{op})$ とが電源回路の損失として余計に生じることになる。

【0012】一般に、チャージポンプ方式の昇圧回路でコンデンサのスイッチングに使用されているのは電界効果トランジスタなどの素子であるが、電力損失の多くは、この電界効果トランジスタのスイッチング時における貫通電流により生じている。

【0013】また、チャージポンプ方式の昇圧回路を電源として用いる場合、その負荷が最大になる場合でも出力電圧の降下が許容範囲内に収まるように考慮しなければならない。この場合の方法として、使用するコンデンサの容量を大きくするか、又は昇圧用スイッチングクロック信号の周波数を大きくするといった方法がある。

【0014】しかしながら、コンデンサの容量を大きくする方法による場合には、低消費電力化と小型化が求められる携帯情報端末などでは部品搭載領域の確保が難しく、コンデンサの大容量化を図るのは困難である。

【0015】また、昇圧用スイッチングクロック信号の周波数を大きくする方法による場合には、スイッチング時の損失が大きくなり電圧変換効率が低下する。更には、重負荷時だけでなく無負荷に近いような軽負荷時にも同じようにチャージポンプの昇圧動作が行われているため、昇圧動作による一定の電力損失も生じてしまうという問題がある。

【0016】本発明は、こうした従来技術の課題を解決するものであり、電圧変換効率の向上及び消費電力の低減を図ることができると共に、出力電圧を任意に設定することができるチャージポンプ方式の電源回路、並びにそれを用いた表示装置及び電子機器を提供することを目的とする。

#### 【0017】

【課題を解決するための手段】本発明の電源回路は、電源からの入力電圧及び昇圧用クロック信号が入力され、該入力電圧を所定の出力電圧に昇圧する昇圧部と、該昇圧部の出力電圧と外部から入力される制御電圧とを比較して、その結果を信号出力する比較部と、該比較部からの出力信号及び動作クロック信号が入力され、昇圧用

クロック信号を該昇圧部に供給する昇圧制御部とを備え、そのことにより上記目的が達成される。

【0018】前記昇圧部の出力電圧を抵抗分割する電圧分割回路を備え、該電圧分割回路により生成された分割電圧と前記制御電圧とを前記比較部により比較する構成としてもよい。

【0019】前記比較部の比較結果として「 $V_{con} > V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを開始し、前記比較部の比較結果として「 $V_{con} < V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを停止してもよい。

【0020】前記比較部の比較結果として「 $V_{con} < V_m$ 」という結果が得られると、前記昇圧制御部が昇圧用クロック信号を前記昇圧部に供給することを開始し、前記比較部の比較結果として「 $V_{con} > V_m$ 」という結果が得られると、前記昇圧制御部が、昇圧用クロック信号を前記昇圧部に供給することを停止してもよい。

【0021】本発明の表示装置が、前記電源回路を用いてもよい。

【0022】本発明の他の表示装置が、前記動作クロック信号として、線順次駆動の走査ラインのシフトクロック信号、又はそれを分周して作成したクロック信号を用いてもよい。

【0023】本発明の電子機器が、電源回路を用いてもよい。

【0024】以下に、本発明の作用について説明する。

【0025】上記構成によれば、比較部が昇圧部の出力電圧と外部から入力される制御電圧とを比較して、その結果を信号出力し、昇圧制御部が動作クロック信号に従って動作し、比較部からの出力信号に基づく昇圧用クロック信号を昇圧部に供給し、昇圧部がこの昇圧用クロック信号に基づいて電源からの入力電圧を所定の出力電圧に昇圧する。このため、チャージポンプ方式を用いながら制御電圧により出力電圧を任意に設定することが可能となる。また、比較部からの出力信号に基づいて昇圧制御部が昇圧部の動作を制御し必要以上の昇圧を行わないので、負荷特性に対応する最適な昇圧動作を行うことが可能となる。従って、電源回路全体の電圧変換効率の向上及び消費電力の低減を図ることが可能となる。

【0026】また、昇圧部の出力電圧を抵抗分割する電圧分割回路を備え、この電圧分割回路により生成された分割電圧と制御電圧とを比較部により比較する構成にすると、昇圧部の動作を低い制御電圧により制御することが可能となり、電源回路において一層の消費電力の低減を図ることが可能となる。

【0027】また、上記電源回路を表示装置及び電子機器に用いることによって、表示装置及び電子機器の消費電力を低減することが可能となり、電池寿命を伸ばし使用可能な時間を長くすることが可能となる。

【0028】加えて、上記動作クロック信号として、線順次駆動の走査ラインのシフトクロック信号、又はそれを分周して作成したクロック信号を用いる構成にすると、クロック信号発生回路を新たに設ける必要がなく、その分消費電力を低減することが可能となる。

#### 【0029】

【発明の実施の形態】以下に、本発明の実施の形態を図面に基づいて具体的に説明する。

【0030】（実施形態1）本発明による電源回路1は、例えば液晶表示装置を駆動するためのものであって、図1に示すように、外部電源入力端子11から入力電圧 $V_{in}$ が入力されると共に昇圧用クロック信号CLKAが入力され、入力電圧 $V_{in}$ を所定の出力電圧 $V_{out}$ に昇圧する昇圧部2と、この昇圧部2の出力電圧 $V_{out}$ を抵抗分割する電圧分割回路5と、この電圧分割回路5により生成された分割電圧 $V_m$ と制御電圧入力端子13からの制御電圧 $V_{con}$ とを比較して、その結果を出力信号 $V_c$ として出力する比較部4と、この比較部4からの出力信号 $V_c$ 及び動作クロック信号CLK1が入力され、昇圧用クロック信号CLKAを昇圧部2に供給する昇圧制御部3とを有する。

【0031】ここで、上記の電源回路1の詳細についての説明をする前に、まずチャージポンプ方式の昇圧回路による昇圧方法を、図2及び図3を用いて説明する。

【0032】図2(a)は、昇圧回路に用いるスイッチ部20を簡略化して示しており、クロック信号CLK2により、スイッチ21をH側端子又はL側端子に切り替えることで、高圧側の電位 $V_H$ 又は低圧側の電位 $V_L$ が入出力端子 $V_{i/o}$ に生じる。より具体的には、スイッチ部20は例えば図2(b)に示す回路構成とすることができ、C1、C2は結合コンデンサ、D1、D2はダイオード、R1、R2は抵抗、Q1、Q2は電界効果トランジスタである。このスイッチ部20は、CLK2端子に入力される信号が“High”になったとき電界効果トランジスタQ1がONし、高圧側の電位 $V_H$ が入出力端子 $V_{i/o}$ に生じる。このとき電界効果トランジスタQ2はOFFである。他方、CLK2端子に入力される信号が“Low”になったとき電界効果トランジスタQ2がONし、低圧側の電位 $V_L$ が入出力端子 $V_{i/o}$ に生じる。このとき電界効果トランジスタQ1はOFFである。

【0033】図3は、このスイッチ部20を用いた昇圧回路30の構成を示しており、電圧入力端子31から入力電圧 $V_{in}$ が入力されると共に、昇圧用クロック信号入力端子32から昇圧用クロック信号CLK3が入力されスイッチング動作を行う高圧側スイッチ部34及び低圧側スイッチ部35と、それらのスイッチ部34、35のスイッチング動作によって切り替えられる昇圧用フライングコンデンサ36及び出力用コンデンサ37とを有し、これらのコンデンサ36、37を用いて、入力電圧 $V_{in}$ を昇圧し、出力端子33に所定の出力電圧 $V_{out}$

tを出力する。

【0034】より詳しくは、まず、電圧入力端子31に入力電圧 $V_{in}$ が入力され、昇圧用クロック信号入力端子32に“Low”のCLK3信号が入力されると、高圧側スイッチ部34及び低圧側スイッチ部35はスイッチング動作によりL側の端子に接続される。従って、昇圧用フライングコンデンサ36には入力電圧 $V_{in}$ が印加され、電荷が蓄えられる。次に、昇圧用クロック信号入力端子32に“High”のCLK3信号が入力されると、高圧側スイッチ部34及び低圧側スイッチ部35はスイッチング動作によりH側の端子に接続される。このとき、昇圧用フライングコンデンサ36と出力用コンデンサ37は電氣的に接続され、先の動作で昇圧用フライングコンデンサ36に充電された電荷は出力用コンデンサ37へ送られる。この動作を繰り返すことによって昇圧動作が行われ、適正な昇圧用クロック信号CLK3で昇圧動作を繰り返した場合、出力端子33には出力電圧 $V_{out}$ として入力電圧 $V_{in}$ の2倍の電圧が生じる。

【0035】次に、図1に示した本発明の電源回路1の具体的構成を図4～図6を用いて詳しく説明する。

【0036】チャージポンプ方式の昇圧部2は、図4に示すように、上述した図3の昇圧回路30と同じ3つの昇圧回路41、42、43を組み合わせて、入力電圧 $V_{in}$ に対し最大で8倍の昇圧を行えるようにしている。これは、一般に携帯情報端末では入力電圧 $V_{in}$ が+3V程度であるのに対し、携帯情報端末に用いられる液晶表示装置の駆動電圧として+20V程度を必要とするためである。昇圧制御部3は、図6に示すようにANDゲート61で構成されており、比較部4は、図5に示すようにコンパレータ51で構成されている。図1に示す抵抗 $R_c$ 、 $R_s$ は、昇圧部2からの出力電圧を用いて液晶駆動用の基準電圧を作成するための分割抵抗であり、ここではその抵抗比を $R_c : R_s = 15 : 1$ とした。

【0037】まず、昇圧部2の動作を説明する。昇圧動作としては上述した図3の昇圧回路30と同様であり、具体的には、図4に示すように、第1段昇圧回路41には、電圧入力端子44から入力電圧 $V_{in}$ が供給されると共に、昇圧用クロック信号入力端子45から昇圧用クロック信号CLKAが入力され、高圧側スイッチ部S1H及び低圧側スイッチ部S1Lのスイッチング動作により、昇圧用フライングコンデンサCF1から出力用コンデンサCC1へ電荷が転送される。ここで、適正な昇圧用クロック信号CLKAにより昇圧動作を繰り返した場合には、図4に示すA点には $2 \times V_{in}$ の電圧 $V_A$ が生じる。

【0038】次に、第2段昇圧回路42には、昇圧用クロック信号入力端子45から昇圧用クロック信号CLKAが入力され、高圧側スイッチ部S2H及び低圧側スイッチ部S2Lのスイッチング動作により、A点に生じた

電圧が適宜切り替えられることで、昇圧用フライングコンデンサCF2から出力用コンデンサCC2へ電荷が転送される。ここで、適正な昇圧用クロック信号CLKAにより昇圧動作を繰り返した場合には、図4に示すB点には $4 \times V_{in}$ の電圧 $V_B$ が生じる。

【0039】次に、第3段昇圧回路43には、昇圧用クロック信号入力端子45から昇圧用クロック信号CLKAが入力され、高圧側スイッチ部S3H及び低圧側スイッチ部S3Lのスイッチング動作により、B点に生じた電圧が適宜切り替えられることで、昇圧用フライングコンデンサCF3から出力用コンデンサCC3へ電荷が転送される。ここで、適正な昇圧用クロック信号CLKAにより昇圧動作を繰り返した場合には、図4に示す電圧出力端子46には出力電圧 $V_{out}$ として $8 \times V_{in}$ の電圧が生じる。このようにして、図1に示す昇圧部2によって、入力電圧 $V_{in}$ が8倍に昇圧された出力電圧 $V_{out}$ が得られる。

【0040】次に、比較部4の動作を説明する。この比較部4は、例えば図5(a)で示す回路で構成されており、昇圧部2で昇圧された出力電圧 $V_{out}$ を抵抗 $R_c$ 、 $R_s$ により抵抗分割して得られる分割電圧 $V_m$ と、制御電圧 $V_{con}$ とが入力され、コンパレータ51で両者を比較し、その結果を信号 $V_c$ として出力する。このコンパレータ51の動作は、図5(b)の表に示すように、 $V_{con} > V_m$ のとき出力信号 $V_c$ は“High”となり、 $V_{con} < V_m$ のときは出力信号 $V_c$ は“Low”となる。ここでは周辺回路を省略して示したが、実際には出力 $V_c$ の振れを抑えるため、周辺回路により、図7(d)に $V_w$ で示すように、コンパレータ51にある程度のヒステリシスを持たせている。

【0041】次に、昇圧制御部3の動作を説明する。この昇圧制御部3は、例えば図6に示すようにANDゲート61で構成されており、動作クロック信号CLK1と比較部4の出力信号 $V_c$ のANDをとって昇圧用クロック信号CLKAを出力する。尚、ここではANDゲートを例としてあげたが、入力信号の極性等によっては、NAND、OR、NOR等の素子を用いてもよい。

【0042】ここで、上述した各部の動作に従って電源回路1全体の動作を電源投入時から順に説明する。まず、図1に示す電源回路1に、入力電圧 $V_{in}$ （例えば+3V）、動作クロック信号CLK1（図7(a)参照）、制御電圧 $V_{con}$ （例えば+1V）が入力されたとする。このとき、昇圧部2は動作していないので出力電圧 $V_{out}$ は0Vである。よって分割電圧 $V_m$ も0Vである。従って、比較部4は制御電圧 $V_{con}$ と分割電圧 $V_m$ の電圧比較を行い、 $V_{con} > V_m$ であるので出力信号 $V_c$ として“High”信号を出力する。これによって動作クロック信号CLK1は昇圧制御部3を通過して昇圧部2に入力される。これにより昇圧部2は昇圧動作を開始し、出力電圧 $V_{out}$ は上昇する。よって

分割電圧 $V_m$ も上昇する。分割電圧 $V_m$ は制御電圧 $V_{con}$ の電位（例えば+1V）を越えるまで上昇を続ける。尚、分割電圧 $V_m$ は出力電圧 $V_{out}$ の $1/16$ の電圧なので、出力電圧 $V_{out}$ は+16Vを越えるまで上昇を続ける。

【0043】次に、 $V_{con} < V_m$ となったとき、比較部4の出力信号 $V_c$ は“Low”信号に変わる（図7

(b)参照)。すると動作クロック信号CLK1は昇圧制御部3でカットされ昇圧部2の動作は停止する。これにより、出力電圧 $V_{out}$ の上昇は停止し、昇圧部2の最終段にある図4に示すコンデンサCC3と負荷による放電特性によって出力電圧 $V_{out}$ は徐々に低下し、出力電圧 $V_{out}$ は分割電圧 $V_m$ が制御電圧 $V_{con}$ の値を下回るまで低下していく。これらの動作を繰り返すことによって、分割電圧 $V_m$ は、図7(d)に示すように、制御電圧 $V_{con}$ の値とヒステリシスの幅 $\pm(1/2)V_w$ の間に収まるように動作する。尚、この電圧 $V_w$ は液晶表示に影響が出ないように設定した。また、図7(c)に示すように、符号Sと符号Tで示す期間は昇圧用クロック信号CLKAが停止しており昇圧動作が行われていない。よって、スイッチングによる電力の損失も発生しない。

【0044】制御電圧 $V_{con}$ の値を変化させた場合も、上記と同様にして分割電圧 $V_m$ は制御電圧 $V_{con}$ の値とヒステリシスの幅 $\pm(1/2)V_w$ の間に収まるように動作する。このため、下記(1)式の関係が常に成り立ち、出力電圧 $V_{out}$ には制御電圧 $V_{con}$ の約16倍の電圧が出力される。

【0045】

30  $V_{con} = V_m = (1/16) \cdot V_{out} \dots (1)$   
つまり、チャージポンプ回路の出力電圧 $V_{out}$ を可変とすることができる。また、液晶の表示パターンが変わった場合などで負荷が大きくなった場合や逆に負荷が小さくなった場合にも、同様の動作により上記(1)式の関係が保たれ、そのときの負荷に応じた昇圧動作が行われるため電力の損失は低減される。

【0046】また、比較部4のコンパレータ51は、自己消費電流が数 $\mu A$ オーダーのものを使用し、コンパレータの電源としては例えば+3Vの入力電圧 $V_{in}$ を使用したため、この負荷回路における電力損失は全体の消費電力の1%以下である。

【0047】（実施形態2）前記実施形態1では、昇圧用クロックCLKAを用いて各段の昇圧回路を同時に制御した。しかしながら、昇圧回路の一部を制御することによっても、本発明を実施することができる。

【0048】以下に、実施形態2における電源回路150を図10を用いて説明する。

【0049】図10は、実施形態2における電源回路150のブロックを示す図である。電源回路150は、昇圧部106と、昇圧制御部107と、比較部108とを

備えている。実施形態 2 では、動作クロック信号 CLK1 が昇圧制御部 107 だけでなく昇圧部 106 にも入力されていることが前記実施形態 1 と異なる。

【0050】図 11 は、昇圧部 106 の詳細を示す図である。

【0051】昇圧部 106 は、第 1 段昇圧回路 111 と、第 2 段昇圧回路 112 と、第 3 段昇圧回路 113 とを備えている。

【0052】前記実施形態 1 の昇圧部 2 では、昇圧用クロック信号 CLK A が全ての昇圧段に入力されていたが、実施形態 2 の昇圧部 106 では、昇圧用クロック信号 CLK A が第 3 段昇圧回路 113 のみに入力されており、第 1 段昇圧回路 111 と第 2 段昇圧回路 112 には動作クロック信号 CLK1 が入力されている。

【0053】図 12 は、動作クロック信号 CLK1 及び昇圧用クロック信号 CLK A などを示す図である。

【0054】図 12 に示すように、動作クロック信号 CLK1 は、電源回路 150 が動作している間、停止しない信号である。このため、実施形態 2 の回路構成では、第 1 段昇圧回路 111 と第 2 段昇圧回路 112 は常に動作しており、図 11 に示す点 A には  $2 \times V_{in}$  の電圧が現われ、図 11 に示す点 B には  $4 \times V_{in}$  が現われる。

【0055】また、第 3 段昇圧回路 113 には、実施形態 1 と同様に昇圧用クロック CLK A が入力されており、間欠昇圧動作はこの第 3 段昇圧回路でのみで行われる。

【0056】図 10 及び図 11 に示す回路によって、出力電圧  $V_{out}$  の可変範囲は、前記実施形態 1 の「0V ~ 24V」から「12V ~ 24V」へと狭くなるというデメリットがある反面、間欠動作を行う昇圧段が最終段だけになるので、全ての昇圧段が間欠動作を行う場合に比べて昇圧動作に伴うリップル電圧の発生が抑えられる（出力電圧が安定する）というメリットがある。

【0057】また、液晶表示素子の駆動電圧は通常 12V 以上であればよいから、前述のデメリットは事実上問題とはならない。

【0058】昇圧動作に伴うリップル電圧の発生を抑えることにより、図 10 に示す  $V_m$  電位のリップル電圧も抑えられるため、前記実施形態 1 では比較部 4 にヒステリシス特性を持たせていたが、図 5 に示すヒステリシス特性を持たない比較部を用いることができる。

【0059】上述したように、図 12 は、実施形態 2 の電源回路 150 の信号の動作波形を示す図である。

【0060】前記実施形態 1 と異なるところは、昇圧用クロック CLK A を供給或いは停止させるタイミングを  $V_{con}$  と  $V_m$  の電位が反転するところで行っているところにある。

【0061】ただし、比較部 108 として使用されるコンパレータと、昇圧部 106 のスイッチング素子による

遅延時間  $t$  の影響で  $V_{con} < V_m$  になった直後もしくは昇圧動作が行われるため、 $V_m$  の電位は昇圧用クロック CLK A が停止するまで上昇し、その後下降に転じる。

【0062】同様に  $V_{con} > V_m$  となった直後もしくは昇圧動作が行われないため、昇圧用クロック CLK A が入力されるまで下降し、その後上昇に転じる。

【0063】これらの動作は前記実施形態 1 では、出力電圧が本実施例に比べ昇圧動作に伴うリップル電圧の発生が大きい。これは、全ての昇圧段が同時に動作したり停止したりするためである。このため、ヒステリシスを持たせた比較部によってリップル電圧の上限と下限を制限することが望ましい。しかし本実施例の構成のように最終の昇圧段だけを間欠動作させることで出力電圧に影響する昇圧動作によるリップル電圧の発生を抑えることができ、比較部 108 の構成を図 5 のようにヒステリシスを持たないものを利用して安定した出力電圧が得られる。

【0064】消費電力の観点で見ると、前記実施形態 1 では、全ての昇圧段が間欠動作を行っているのに対し、本実施形態では、第 3 段の昇圧段のみ間欠動作を行い、その他の昇圧段が常に動作しているため、消費電力の観点から本実施形態が不利であるように思われる。しかしながら、第 2 段の昇圧段まででは、昇圧された電圧は液晶表示（液晶を駆動する）に必要な電圧以下であり、第 2 段の昇圧段までが常に動作していることで、第 3 段の昇圧段の間欠動作の停止時間が長くなる。このため、昇圧回路全体で見ると、本実施形態と、第 1 の実施形態には消費電力に大きな差はみられない。

【0065】ここでは、便宜上  $V_{con}$  と  $V_m$  の電位差と周辺の回路動作を添付図面の構成に沿って動作説明を行った。このため、 $V_{con} < V_m$  で昇圧動作が開始され、 $V_{con} > V_m$  のとき昇圧動作が停止する。しかしながら、比較部及び昇圧制御部の論理構成によっては逆の構成にしても問題はない。

【0066】

【発明の効果】以上説明したように、本発明の電源回路によれば、比較部が昇圧部の出力電圧と外部から入力される制御電圧とを比較して、その結果を信号出力し、昇圧制御部が動作クロック信号に従って動作し、比較部からの出力信号に基づく昇圧用クロック信号を昇圧部に供給し、昇圧部が、この昇圧用クロック信号に基づいて、電源からの入力電圧を所定の出力電圧に昇圧する。このため、チャージポンプ方式を用いながら制御電圧により出力電圧を任意に設定することができる。また、比較部からの出力信号に基づいて昇圧制御部が昇圧部の動作を制御し必要以上の昇圧を行わないので、負荷特性に対応する最適な昇圧動作を行うことができる。従って、電源回路全体の電圧変換効率の向上及び消費電力の低減を図ることができる。

【0067】また、昇圧部の出力電圧を抵抗分割する電圧分割回路を備え、この電圧分割回路により生成された分割電圧と制御電圧とを比較部により比較する構成にすると、昇圧部の動作を低い制御電圧により制御することができ、電源回路において一層の消費電力の低減を図ることができる。

【0068】また、上記電源回路を表示装置及び電子機器に用いることによって、表示装置及び電子機器の消費電力を低減することができ、電池寿命を伸ばし使用可能な時間を長くすることができる。

【0069】加えて、上記動作用クロック信号として、線順次駆動の走査ラインのシフトクロック信号、又はそれを分周して作成したクロック信号を用いる構成にすると、クロック信号発生回路を新たに設ける必要がなく、その分消費電力を低減することができる。

#### 【図面の簡単な説明】

【図1】本発明の電源回路の構成を示すブロック図である。

【図2】本発明の電源回路に用いるスイッチ部を示す図であって、(a)が略図、(b)回路図である。

【図3】チャージポンプ方式の昇圧回路の一例を示す図である。

【図4】本発明の電源回路における昇圧部の回路例を示す図である。

【図5】本発明の電源回路における比較部を示す図であって、(a)が回路図、(b)が動作状態を表す表である。

【図6】本発明の電源回路における昇圧制御部の回路例を示す図である。

【図7】本発明の電源回路の動作を示すタイムチャートである。

【図8】従来の電源回路の構成を示すブロック図であ

る。

【図9】従来の電源回路における電圧制御部の回路例を示す図である。

【図10】実施形態2における電源回路150のブロックを示す図である。

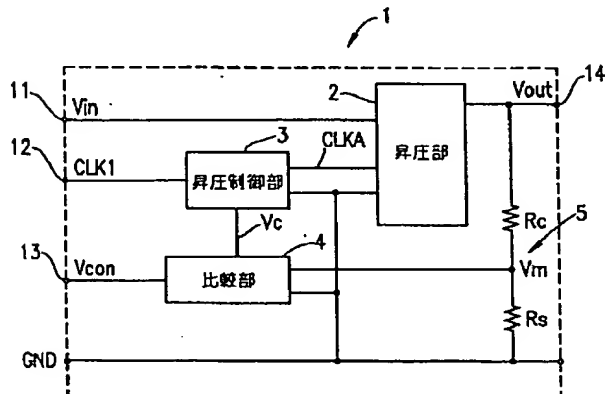
【図11】昇圧部106の詳細を示す図である。

【図12】実施形態2の電源回路150の信号の動作波形を示す図である。

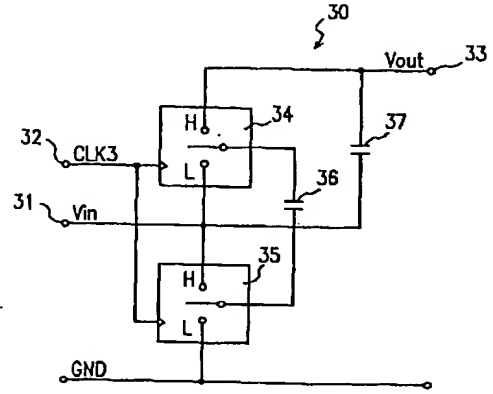
#### 【符号の説明】

- 10 1 電源回路
- 2 昇圧部
- 3 昇圧制御部
- 4 比較部
- 5 電圧分割回路
- 20 スイッチ部
- 30 昇圧回路
- 34、S1H、S2H、S3H 高圧側スイッチ部
- 35、S1L、S2L、S3L 低圧側スイッチ部
- 36、CF1、CF2、CF3 フライイングコンデンサ
- 37、CC1、CC2、CC3 出力用コンデンサ
- 41 第1段昇圧回路
- 42 第2段昇圧回路
- 43 第3段昇圧回路
- 51 コンパレータ
- 61 ANDゲート回路
- Vin 入力電圧
- Vout 出力電圧
- Vcon 制御電圧
- Vm 分割電圧
- Vc 比較部の出力信号
- CLK1 動作用クロック信号
- CLKA、CLK3 昇圧用クロック信号

【図1】

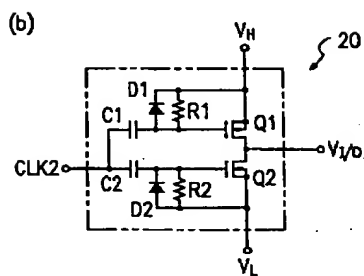
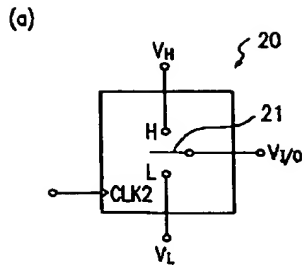


【図3】

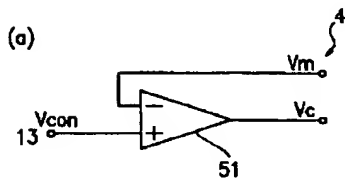




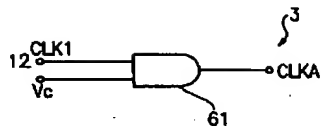
【図 2】



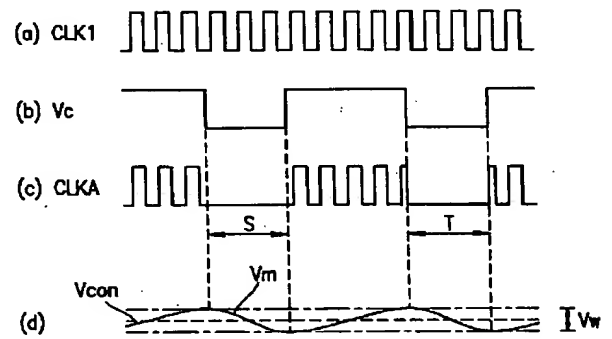
【図 5】



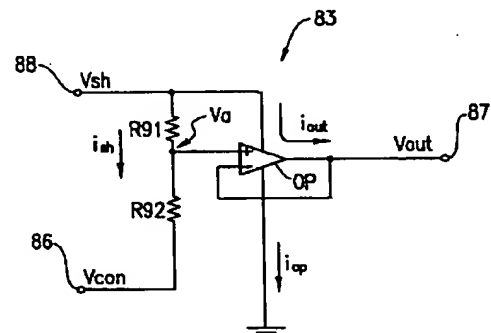
【図 6】



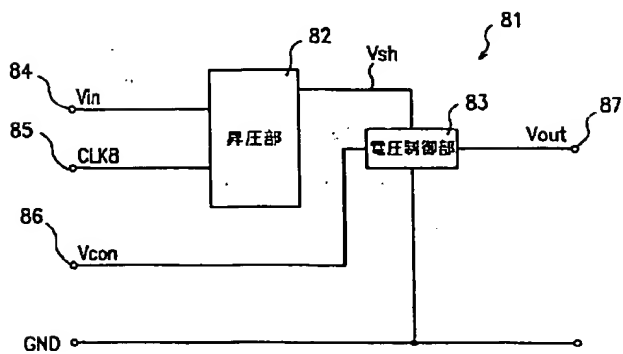
【図 7】



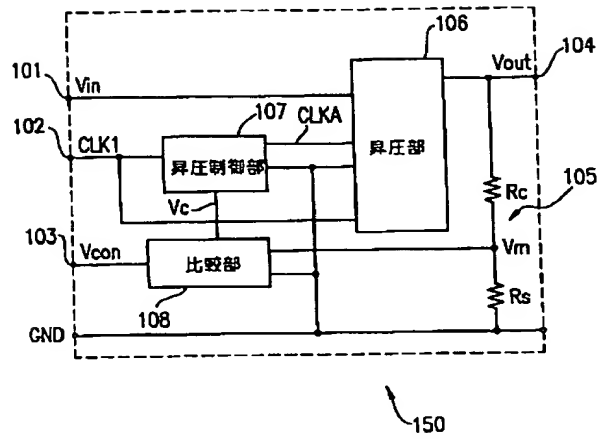
【図 9】



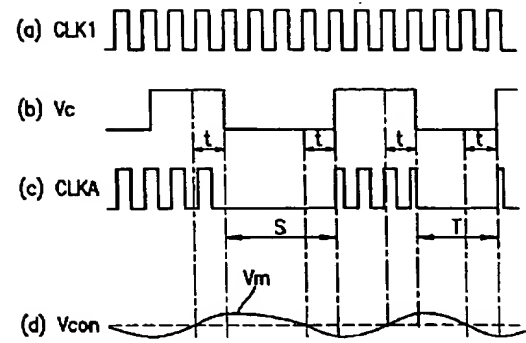
【図 8】



【図 10】



【図 12】



【図 11】

